

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-318260

(43)公開日 平成 6年(1994)11月15日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/78	5 1 0 B	7323-5L		
9/06				
11/28	3 3 0 C	9290-5B	G 0 6 F 9/ 06	5 4 0 N
		9367-5B		5 4 0 Q
		9367-5B	審査請求 未請求	請求項の数 5 F D (全 10 頁)

(21)出願番号 特願平4-274943

(22)出願日 平成 4年(1992) 9月19日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 山本 巖

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

(72)発明者 古居 素直

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

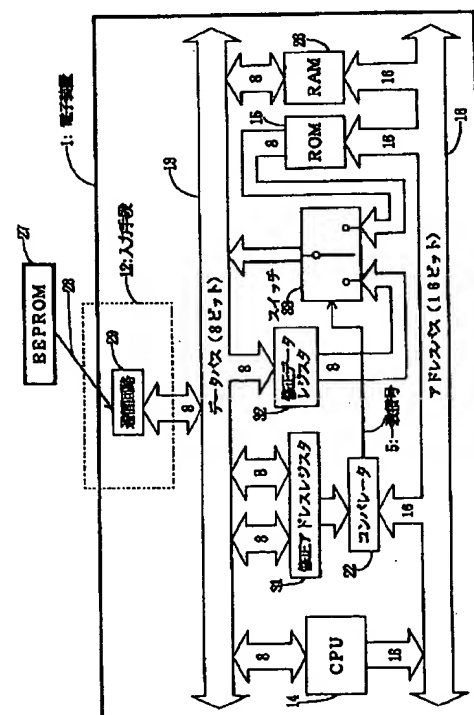
(74)代理人 弁理士 杉山 猛

(54)【発明の名称】 電子装置

(57)【要約】

【目的】 1バイトのすげ替えによりパッチ修正プログラムへ分岐可能とし、かつパッチ修正プログラム記憶領域を節約できる1チップマイコンを提供する。

【構成】 1チップマイコン1において、CPU14は、通常はスイッチ33を介してROM15から供給されるプログラムに従って実行を進め、その実行アドレスが修正アドレスレジスタに格納されている修正アドレスに一致すると、コンパレータ22の出力によりスイッチ33が切り替わって、CPU14は修正データレジスタに格納されている1バイトのテーブルコール命令を受け付け、これに基づいてあらかじめRAM26に格納されているパッチ修正プログラムの先頭番地を算出するためのパラメータも一緒に記憶されているので、複数のパッチ修正プログラムの記憶位置を固定することなく、先頭から順番に稠密にRAM26に記憶することができる。



【特許請求の範囲】

【請求項1】 記憶手段へのアクセス制御及び演算処理等を行う中央処理手段と、情報を固定的に記憶する固定記憶手段と、該固定記憶手段に記憶された特定部分の情報を修正するための修正情報を入力する入力手段と、該入力手段により入力される修正情報を記憶する修正情報記憶手段と、前記固定記憶手段中の前記特定部分の情報が記憶されている領域への前記中央処理手段によるアクセスを、前記固定記憶手段から前記修正情報記憶手段へ切り換える切換手段とが一体に集積されてなる電子装置において、前記修正情報は、少なくとも、前記特定部分の情報を修正するためのパッチ修正データと、前記修正情報記憶手段における該パッチ修正データの記憶位置を算出するためのパラメータとを含んでいることを特徴とする電子装置。

【請求項2】 修正情報を修正情報記憶手段へ記憶する操作の実行時に、該修正情報記憶手段におけるパッチ修正データの記憶位置を算出する手段を備えていることを特徴とする請求項1記載の電子装置。

【請求項3】 中央処理手段によるアクセスを固定記憶手段から修正情報記憶手段へ切り換えるための操作を、テーブルコール命令の発生に基づいて開始する手段と、中央処理手段によるアクセスを前記修正情報記憶手段から前記固定記憶手段へ戻す操作を、ジャンプ命令により実行する手段とを備えていることを特徴とする請求項1又は2記載の電子装置。

【請求項4】 テーブルコール命令の発生に基づいてスタックに格納された戻り番地データを、中央処理手段によるアクセスが修正情報記憶手段から固定記憶手段へ戻る以前に廃棄する手段を備えていることを特徴とする請求項3記載の電子装置。

【請求項5】 テーブルコール命令の発生時に電子装置内のレジスタの値及びプログラム状態語の値のうちの少なくとも一方を保存する手段と、該保存手段により保存された値をパッチ修正開始直前に復帰させる手段とを備えていることを特徴とする請求項3又は4記載の電子装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電子機器を制御するための装置として、該電子機器に搭載して使用するのに好適な1チップマイクロコンピュータのような電子装置に関する。

【0002】

【従来の技術】 従来、民生用のカメラ一体型VTRや小型ビデオデッキ等の電子機器においては、該電子機器の全体または一部を制御するための電子装置として、記憶手段へのアクセス制御及び演算処理等を行う中央処理手段(CPU)と、情報を固定的に記憶するリードオンリメモリ(ROM)及び情報の書込みと読出しが可能なら

ンダムアクセスメモリ(RAM)等の記憶手段と、入出力ポート等の周辺回路等とを1チップに集積した1チップマイクロコンピュータを、前記の電子機器本体に搭載して使用することが行われてきた。

【0003】そして、このような1チップに集積された電子装置は、量産による大幅な価格低減効果を期待できるという特長を持っているが、その他にも、特に最近の半導体の集積技術の発達によってROMに記憶されるプログラムの量を飛躍的に増大させることができるようになったため、このROMに記憶されているプログラムに従って実行される制御も、多種多様で複雑な内容のものが可能になってきている。

【0004】

【発明が解決しようとする課題】 以上のように、最近の電子装置では、大量のプログラムをROMに記憶しておくことにより、多種多様で複雑な制御が可能になったわけであるが、反面、ROMに記憶されるプログラムの増大は、そのプログラムに少なからずバグが発生するという問題を惹起することとなった。特に、バグが量産後に発見された場合には、従来は、バグを修正したマイクロコンピュータを再度量産して電子機器に搭載されているものと交換するか、あるいは、バグを修正するための外付部品を電子機器に付設するという対応策が採られてきたが、いずれも多大の費用がかかるものであった。更に、カメラ一体型VTRのような部品の実装密度の高い電子機器では、外付部品を付設するという対応策は、殆ど実施できないという問題も生じていた。本発明は、かかる問題点を解決するためになされたものである。

【0005】

【課題を解決するための手段】 本発明は、1チップマイクロコンピュータのような電子装置のアーキテクチャをあらかじめ量産バグに対応できるものとすることにより、万一、量産バグが発見された場合でも、従来のように、内部部品の交換あるいは外付部品の付設等の処理をしなくとも、外部から修正情報を一度与えるだけで自動的にバグの回避が可能となる電子装置を提案するものである。

【0006】前記目的を達成するために、本発明は、記憶手段へのアクセス制御及び演算処理等を行う中央処理手段と、固定記憶手段と、該固定記憶手段に記憶された特定部分の情報を修正するための修正情報を入力する入力手段と、該入力手段により入力される修正情報を記憶する修正情報記憶手段と、前記固定記憶手段中の前記特定部分の情報が記憶されている領域への前記中央処理手段によるアクセスを、前記固定記憶手段から前記修正情報記憶手段へ切り換える切換手段とを一体に集積して電子装置を構成すると共に、前記修正情報が、少なくとも、前記特定部分の情報を修正するためのパッチ修正データと、前記修正情報記憶手段における該パッチ修正データの記憶位置を算出するためのパラメータとを有する

ようにしている。

【0007】なお、修正情報記憶手段におけるパッチ修正データの記憶位置を算出する操作は、修正情報を修正情報記憶手段へ記憶する操作を実行する際に同時に行うようにするのが望ましい。そして、中央処理手段によるアクセスを固定記憶手段から修正情報記憶手段へ切り換えるための操作を開始させる指令としてテーブルコール命令を使用することとし、また、中央処理手段によるアクセスを修正情報記憶手段から固定記憶手段へ戻す操作は、ジャンプ命令により実行するようにする。

【0008】以上のように、本発明の電子装置では、ジャンプ命令によって中央処理手段によるアクセスが修正情報記憶手段から固定記憶手段へ戻されるので、これにより不要となるテーブルコール命令発生時にスタックに格納された戻り番地データを、上記のジャンプ命令によって固定記憶手段へ戻る以前に廃棄する手段を設けておく。

【0009】更に、前記のテーブルコール命令が発生した時には、直ちに電子装置内のレジスタの値及びプログラム状態語の値のうちの必要なものを保存し、パッチ修正開始直前にこの保存された値を復帰させるようにする。

【0010】

【作用】上記のように、修正情報の中に存在するパラメータによって修正情報記憶手段内におけるパッチ修正データの記憶位置を算出するので、修正情報記憶手段内におけるパッチ修正データの記憶位置は固定したものとする必要がなく、個々のパッチ修正データを修正情報記憶手段内のパッチ修正データ記憶領域に先頭から順番に稠密に記憶することができるから、該記憶領域を大幅に節約することができる。

【0011】また、修正情報を修正情報記憶手段へ記憶する際に、修正情報記憶手段におけるパッチ修正データの記憶位置を算出しておくので、個々のパッチ修正を実行するときに実行対象となるパッチ修正データの記憶位置を一々算出する必要がなく、パッチ修正プログラムがそれだけ簡潔になる。パッチ修正のための修正情報記憶手段へのアクセス切換がテーブルコール命令の発生に基づいて開始されると共に、固定記憶手段への復帰動作がジャンプ命令により実行されるので、パッチ修正プログラムは任意のサイズのものを採用することが可能であり、固定記憶手段上の任意のバグに対して高い修正能力を持たせることができる。

【0012】また、テーブルコール命令の発生時にスタックに格納された不要な戻り番地データは、修正動作中に廃棄されるからスタックの中に累積していくことがなく、スタック領域外のデータが破壊されない。さらに、テーブルコール命令の発生時のレジスタの値及びプログラム状態語の値が直ちに保存され、これらの値がパッチ修正開始直前に復帰させられるので、本発明の電子装置

は、テーブルコール命令の発生からパッチ修正開始までの間の電子装置の内部状態の変化にかかわらず、テーブルコール命令の発生により直ちにパッチ修正を開始したように動作する。

【0013】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例の基本構成を示すブロック図である。本発明の電子装置1は、図に示されるように、従来のCPU14、RAM26、ROM15、データバス13、アドレスバス16等から成る1チップマイクロコンピュータの内部に、更に、修正アドレスレジスタ31と、修正データレジスタ32と、コンパレータ22と、スイッチ33と、入力手段12とを設けた構造を有している。

【0014】また、電子装置1の外部には外部記憶装置としてのEEPROM27が設けられている。この電子装置1を使用してバグの修正された電子機器制御を行う場合には、ROM15の中に発生したバグの内容に応じて、そのバグを修正するために必要な情報をあらかじめ外部からEEPROM27に記憶させておくようにする。

【0015】ここで、上記のバグを修正するための情報について説明すると、この修正情報は、ROM15におけるプログラム中のバグの存在により変更を要する部分の先頭アドレス（以下、これを修正アドレスという）、バグ修正プログラムの中で前記のROM15の変更を要する部分のプログラムに代えて実行されるプログラム（以下、これをソフトジャンパーといい、このソフトジャンパーは、原則的にはROM15の中に存在する個々のバグに対応してバグと等しい個数用意される。そして、本発明においては、ROM15のバグが存在する変更すべき部分に対応するソフトジャンパーに置き換えて実行する、いわゆるパッチ修正によりバグの修正が行われる。）、バグ修正プログラムを終了した後に復帰するROM15上のアドレス、即ち、ROM15上の変更を要する部分の直後のアドレス等から構成される。

【0016】次に、この電子装置1を用いて電子機器を制御する場合の全体的なフローを、図2(a)及び図2(b)のフローチャートを参照しながら説明する。電源をオンにして電子装置1を起動すると、前記のEEPROM27に記憶されている修正情報を入力手段12を介して電子装置1へ取り込むためのプログラムが実行開始され、修正情報をRAM26へ転写する操作、修正アドレスを修正アドレスレジスタへ格納する操作、修正データを修正データレジスタへ格納する操作、ソフトジャンパー先頭番地の算出及び算出した先頭番地をRAM26内のテーブルへ格納する操作等が行われる（図2(a)のST11）。

【0017】ここで、EEPROM27からRAM26へ転写される修正情報の構造を、図3を用いて詳細に説

明する。上記の修正情報は、主に、ROM15上に発生した個々のバグにそれぞれ対応するソフトジャンパーから構成されているが、ここで、各々のソフトジャンパー1、2、・・・は、図3に示されるように、EEPROM27の修正情報記憶領域の中で先頭のソフトジャンパーから順番に稠密に記憶されている。このような記憶形態を採ることにより、EEPROM27及び転写先のRAM26のパッチデータ記憶領域を大幅に節約することができる。

【0018】そして、このような記憶形態においては、各々のソフトジャンパーの先頭番地は、先行するソフトジャンパーの長さに応じて変化し、一定にはならないので、この先頭番地を知るための方法として、図3に示されるように、オフセットデータも修正情報の中に入れておく。ここで、オフセットデータは、図のEEPROM27上の修正情報記憶領域の先頭番地と各ソフトジャンパーを記憶している領域の先頭番地との差を表しており、例えば、オフセットデータ1は、前記の修正情報記憶領域の先頭番地とソフトジャンパー1を記憶している領域の先頭番地との差を表している。

【0019】そして、図2(a)のST11において、RAM26上における各々のソフトジャンパーの先頭番地が、対応するオフセットデータの値とRAM26上の修正情報記憶領域の先頭番地とを加算することにより算出され、これらの算出された先頭番地は、RAM26内のテーブルに格納される。また、本発明で用いられるテーブルコール命令は1バイトで構成されていて、あらかじめ個々のバグに対応したテーブルコール命令が用意されており、バグ修正を実行する度に次に実行すべきバグ修正に対応したテーブルコール命令が修正データレジスタに格納される(テーブルコール命令の果たす機能については後で詳述する)。

【0020】なお、修正アドレスレジスタに格納される修正アドレスも、同様に、バグ修正を実行する度に次に実行すべきバグ修正に対応した修正アドレスに書き換えられる。以上に説明したST11の操作が終了すると、電子装置1は、目的とする電子機器の制御を開始する。

【0021】電子機器制御の実行中は、図2(b)に示されるように、図1のコンパレータ22において、修正アドレスレジスタ31に格納されている修正アドレスとアドレスバス16から供給されるCPU14の実行アドレスとの比較が行われ(ST12)、CPU14の実行アドレスが、ROM15内に格納されている電子機器制御のための通常プログラム中のバグが存在する変更すべき部分に到達する以前、即ち修正アドレスに到達する以前は、コンパレータ22から出力される信号によりスイッチ33の可動端子がROM15側の固定端子に接続された状態が維持されて、ROM15の通常プログラムが逐次読み出されて実行される(ST13及び14)。

【0022】そして、CPU14によるプログラム実行

が進行して、その実行アドレスが修正アドレスに到達すると、コンパレータ22の出力側には一致信号5が発生し、この一致信号5がスイッチ33へ供給されることにより、スイッチ33の可動端子aが修正データレジスタ32側の固定端子へ切り換え接続される(ST15)。

【0023】この切り換え動作によって、CPU14はROM15の通常プログラムに代えて修正データレジスタ32に格納されている修正データであるテーブルコール命令を受け付けるようになり、コールされたテーブルに記憶されている番地へのサブルーチンコール動作が実行される。そして、このコール先の番地以降には、バグを修正するためのプログラムが格納されており、バグ修正が実行されることになる(ST16及び17)。

【0024】バグ修正プログラムの最後のステップでは、ROM15上の修正部分の直後のアドレスへ戻るためのジャンプ動作が実行され、ROM15上の通常プログラムの実行が再開される。本発明においては、以上に説明したように、テーブルコール命令を利用してROM15に格納されている通常プログラムからバグ修正プログラムへ移行し、また、バグ修正プログラムの実行を終了すると、ジャンプ命令によってバグ修正プログラムから通常プログラムへ戻るようにしているから、通常プログラムにおけるどのような長さの修正部分に対してもバグ修正用プログラムを手当てすることができ、しかも、このプログラムの長さも必要に応じて任意のものを採用できるから、通常プログラムにおける任意のバグに対して高い修正能力を発揮することができる。特に、パッチ修正として1バイトのすぐ替えしかできないようなマイクロコンピュータで、1バイト命令として任意のアドレスにジャンプする命令を持たないものであっても、本発明のように1バイトのテーブルコール命令と、ジャンプ命令を採用することにより、任意のサイズのパッチ修正プログラムを組むことができる。

【0025】次に、本発明におけるバグ修正プログラムのフローを詳細に説明する。バグ修正プログラムを実行する際には、まず最初に、RAM26に記憶された個々のソフトジャンパーを実行するに先立って必要とされる共通な前処理操作、即ちソフトジャンパー起動処理を行う必要があり、本発明におけるバグ修正プログラムは、ソフトジャンパー起動処理プログラムとソフトジャンパーとから構成される。

【0026】そこで、まず、ソフトジャンパー処理プログラムを図4により説明する。本発明の電子装置1では、ソフトジャンパー起動処理プログラムはあらかじめROM15の特定領域に格納された構造になっており、また、修正データレジスタ32に記憶されているテーブルコール命令が指示するテーブルのアドレスには、上記のソフトジャンパー起動処理プログラムを格納しているROM15の特定領域の先頭番地が記憶されているので、電子装置1のCPU14は、上記テーブルコール命

令を受け付けることにより、上記のソフトジャンパー起動処理プログラムの実行を開始する。

【0027】ソフトジャンパー起動処理が開始されると、まず直ちに電子装置1のプログラム状態語PSWの値及び各レジスタの値がRAMに保存される(ST18)。これらの保存された値は、RAM26上の実行すべきソフトジャンパーの先頭アドレスへジャンプする直前に復帰させられる(ST21)。この保存・復帰操作により、電子装置1は、ソフトジャンパー起動処理中の内部状態の変化にかかわらず、見かけ上、テーブルコール命令発生時点で直ちにソフトジャンパーの実行を開始したのと同じようにすることができる。

【0028】上記ST18の保存操作の次に、現在のソフトジャンパー起動処理を開始する契機となったテーブルコール命令を判別することにより、実行すべきソフトジャンパーが何番目のものであるかを判断する。そして、この判断結果に基づいて、この実行すべきソフトジャンパーの先頭番地を、前述した図2(a)のST11において各ソフトジャンパーの先頭番地を格納したRAM26のテーブルの中から、読み出す(ST19)。

【0029】次に、テーブルコール命令の発生に伴ってRAMのスタックに格納された戻り番地を廃棄する(ST20)。これは、次の理由による。即ち、本発明では、テーブルコール命令によってバグ修正プログラムへ分岐すると共に、このプログラムを実行した後は、ジャンプ命令によって通常プログラムへ復帰するようにしているので、テーブルコール命令発生時にスタックにプッシュされた戻り番地は不要なものとなる。

【0030】従って、上記の廃棄処理(ポップ)を行わない場合には、バグ修正プログラムが実行される度にスタックへのプッシュ動作のみが行われることになるためスタックの記憶データ量が増大し続け、最終的にはRAMのスタック領域外に記憶されている他のデータを破壊する恐れがある。これを防止するために上記の廃棄処理を行う。

【0031】次に前述のとおり保存しておいた値を復帰させ(ST21)た後、ST19で読み出したソフトジャンパーの先頭番地へジャンプし(ST22)、ソフトジャンパーの実行を開始する。次に、ソフトジャンパーの具体的ステップを図5により説明する。ソフトジャンパーにおいては、まず、ROM15上の修正部分に代わる正しい作業プログラムを実行する(ST23)。

【0032】この作業を終了したのち、修正アドレスレジスタに次の修正部分の修正アドレスを格納する(ST24)と共に、修正データレジスタに次に実行すべきソフトジャンパーに対応したテーブルコール命令を格納し(ST25)で、次に実行すべきバグ修正のための準備をする。但し、これらの修正アドレスレジスタ、修正データレジスタのデータ書き換え処理は、修正アドレスが一箇所しかない場合は省略できる。そして、最後に、R

OM15の戻り番地へジャンプ(ST26)して、通常プログラムを再開する。

【0033】以上に説明したバグ修正プログラムの進行の様子を、ROM15及びRAM26のアドレスマップと共に示すと、図6のようになる。この図では、通常プログラムの実行アドレスが修正アドレス X_N に到達してから、バグ修正プログラムの実行へジャンプし、その後、再びROM15上の通常プログラムへ復帰する様子を示している。図におけるプロセスの進行は(1)、(2)、(3)、(4)の順に進む。

【0034】本発明は、以上に説明した如くパッチ修正を行うことができるようにした電子装置に関するものであるが、勿論、本発明は、このような実施例の構成に限定されるものではなく、様々な構成的変更が可能であり、例えば、次の～に示すように構成を変更してもよい。

図1に示される構成のように、外部記憶装置を電子装置1の外部に設ける代わりに、電子装置1の内部に設ける。

【0035】ソフトジャンパー先頭番地の算出を、ソフトジャンパー起動処理プログラムの中で行うようにする。即ち、個々のバグ修正が実行される度に実行すべきソフトジャンパーの先頭番地をソフトジャンパー起動処理プログラムの中で算出してRAM等に記憶しておき、ソフトジャンパー起動処理の最後のステップにおいて、このRAM等に記憶された先頭番地を見てジャンプするようにする。

【0036】テーブルコール命令の発生に伴ってスタックにプッシュされた戻り番地の廃棄処理を、ソフトジャンパーの中で行うようにする。

【0037】

【発明の効果】以上、詳細に説明したように、本発明によれば、量産後にバグが発見されたり、あるいは部分的変更の必要性が生じた場合、従来のような外付け回路の付加や、電子装置そのものの再度の量産等という多大な費用がかかる対応方法に代え、単に、外部から修正情報を与えるのみで迅速かつ容易に対応できる電子装置が提供される。更に、電子装置内の修正情報記憶手段の記憶領域を充分確保できない場合であっても、その記憶領域を節約できる記憶方法を採用することにより、充分な修正機能が発揮される。

【図面の簡単な説明】

【図1】本発明の実施例の基本構成を示すブロック図である。

【図2】同実施例の動作を示すフローチャートである。

【図3】同実施例における修正情報の構造を示す図である。

【図4】同実施例におけるソフトジャンパー起動処理のフローチャートである。

【図5】同実施例におけるソフトジャンパーのフローチ

ャートである。

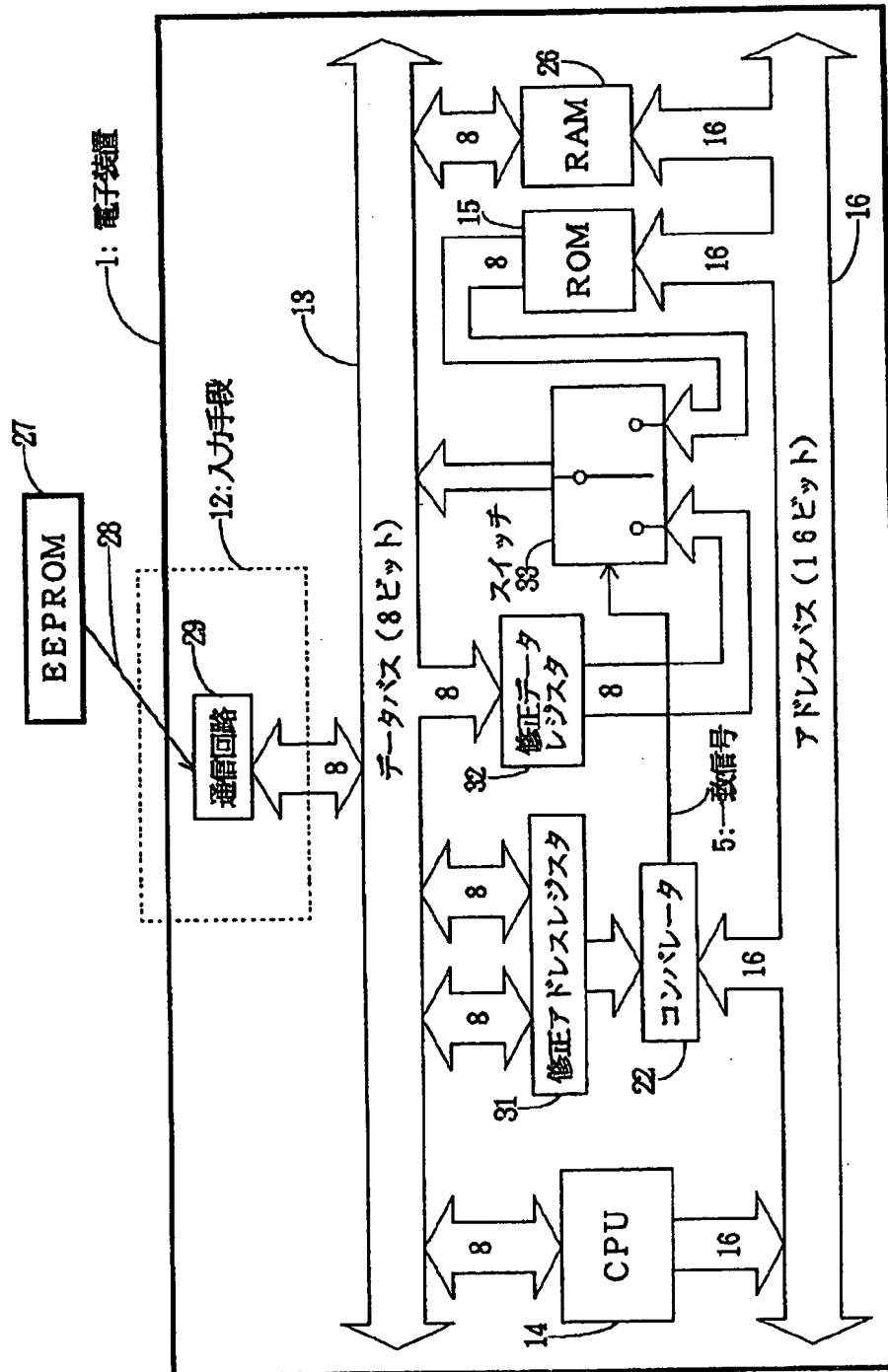
【図6】同実施例におけるアドレスマップ上のフローを示す図である。

【符号の説明】

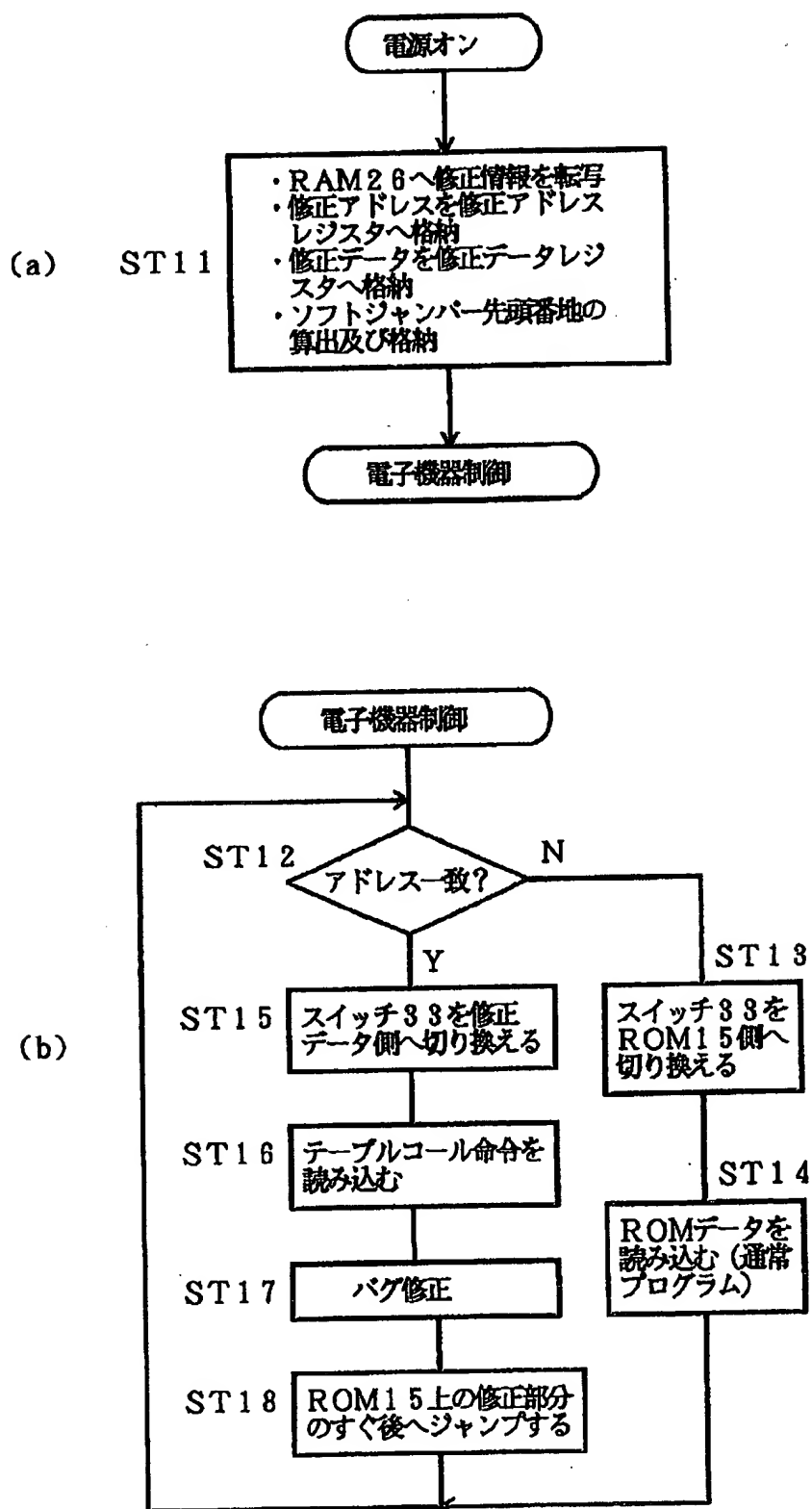
1…電子装置、5…一致信号、12…入力手段、13…

データバス、14…CPU、15…ROM、16…アドレスバス、26…RAM、27…EEPROM、32…修正データレジスタ、33…スイッチ、22…コンパレータ、31…修正アドレスレジスタ

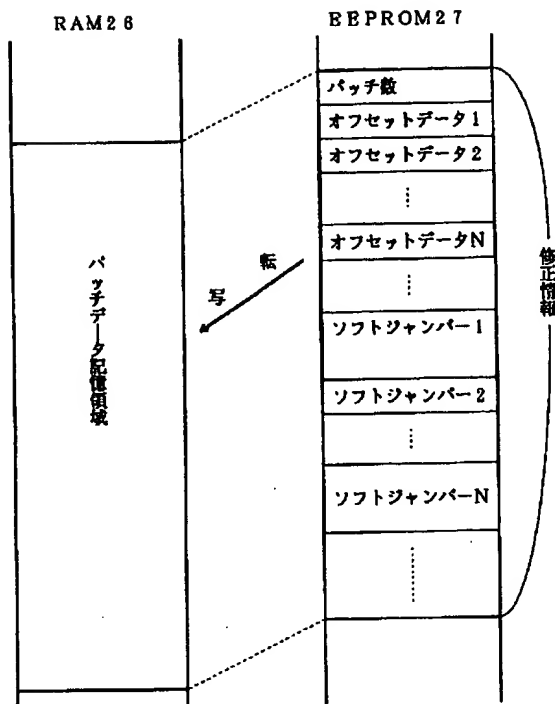
【図1】



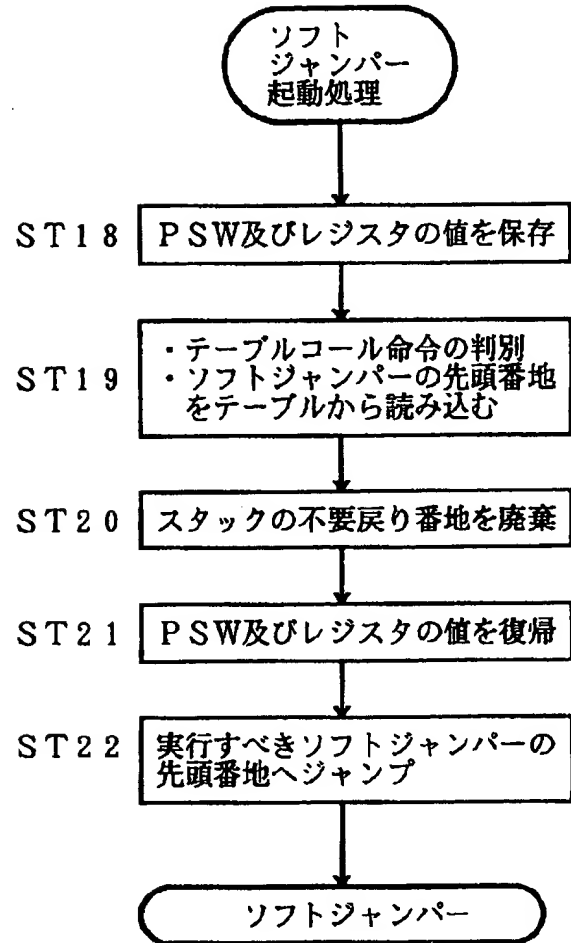
【図2】



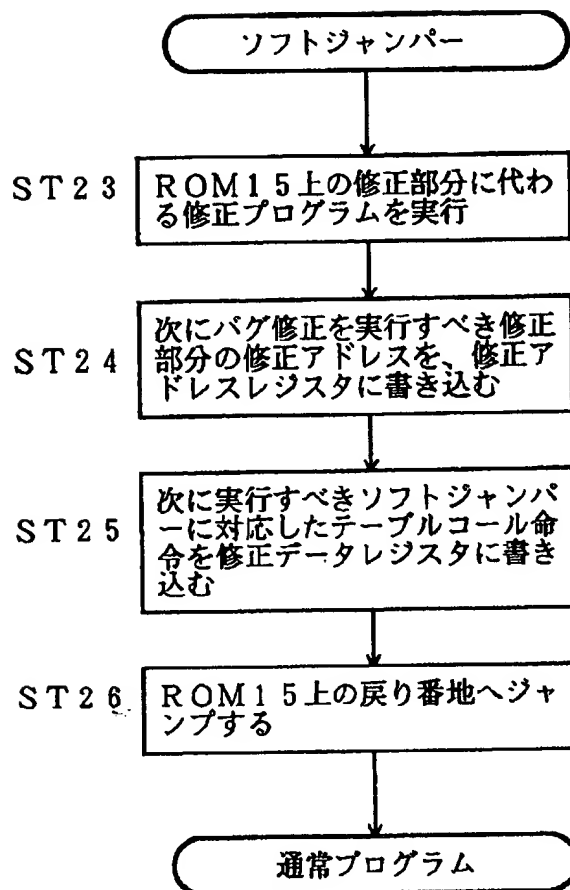
【図3】



【図4】



【図5】



【図6】

